

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-169795

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 2 1 E

庁内整理番号

3 1 1 Q 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全3頁)

(21)出願番号

特願平5-316962

(22)出願日

平成5年(1993)12月16日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小田 善造

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

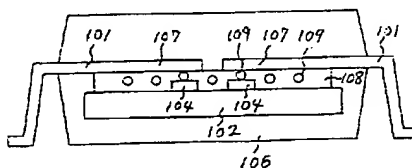
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】半導体チップの回路面上に金属リードを設けたリード・オン・チップ(LOC)パッケージを低コストで製造可能とする。

【構成】半導体チップ102の表面の複数の電極104の上方には金属リードの内側部分であるインナーリード107があり、電極とは一対一に相對している。半導体チップとインナーリードとは異方性導電膜108により接着結合されている。電極は、その電極に相對するインナーリードと、異方性導電膜中に含まれている導電性粒子109により電氣的に導通している。異方性導電膜は微小な導電性粒子を接着剤フィルムに分散した接続材料であり、導電性粒子で電極間を電氣的に接続すると同時に、接着剤で機械的に固定をする。

【効果】半導体チップとインナーリードとの機械的接着と、半導体チップ表面上の電極とインナーリードとの電氣的結合とを一工程でできる。



【特許請求の範囲】

【請求項1】 半導体チップと、該半導体チップの表面に設けられた電極群と、金属リード群と、該半導体素子表面と該金属リード群とを接着する薄膜とを含んで成る半導体装置において、
該電極群の中の一電極と該金属リード群の中の一金属リード間では該薄膜中の導電物質により電氣的に導通しており、他の金属リードとは該薄膜を介しては電氣的に非導通である事を特徴とした半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置のパッケージに関し、半導体チップの回路面上に金属リードを設けたリード・オン・チップ(Lead on chip. 以下、「LOC」と略記する。)パッケージに関する。LOCパッケージは、インナーリードを半導体チップの横に配置した従来のパッケージに比べ、幅の広い半導体チップを内蔵できる利点があり、主に半導体メモリ用に使われている。

【0002】

【従来の技術】従来のLOCパッケージは図5に示すように、金属リード101と半導体チップ102とを両面に粘着性を持った絶縁膜103で接着して結合し、半導体チップ表面に設けられた電極104と金属リードの内端部とを金属細線105で結合して電氣的に導通させ、半導体チップ102、金属リードの内側部分であるインナーリード107、金属細線105を樹脂106で封止した構造をしていた。

【0003】

【発明が解決しようとする課題】前述した従来のLOCパッケージは、金属リードと半導体チップとを、両面に粘着性を持った絶縁膜で接着する工程と、然るのち半導体チップ表面に設けられた電極と金属リードの内端部とを金属細線で一つ一つ結合するいわゆるワイヤボンディング工程を経て製造する。この為、製造コストが高くなるという問題があった。

【0004】本発明の目的は、かかる課題を解決し、低コストで、しかも製造容易なLOCパッケージを提供する事にある。

【0005】

【課題を解決するための手段】半導体チップと、該半導体チップの表面に設けられた電極群と、金属リード群と、該半導体素子表面と該金属リード群とを接着する薄膜とを含んで成る半導体装置において、該電極群の中の一電極と該金属リード群の中の一金属リード間では該薄膜中の導電物質により電氣的に導通しており、他の金属リードとは該薄膜を介しては電氣的に非導通である事を特徴とする。

【0006】

【実施例】以下、実施例により本発明を詳しく説明す

る。

【0007】図1、図2はそれぞれ第1の実施例の断面図、要部の平面図である。半導体チップ102の表面にはアルミニウムあるいはアルミニウムに少量のシリコン、銅などを混入した金属でできた複数の電極104がある。電極の上方には金属リードの内側部分であるインナーリード107があり、電極とは一対一に相対している。この金属リードには、42%のニッケルを含んだ鉄-ニッケル合金である42アロイでできたものを用いた。42アロイの代わりに、銅を主体にしてスズ、ニッケルなどの少量の他の金属を含んだ銅アロイでできたものを用いることもできる。半導体チップとインナーリードとは異方性導電膜108により接着結合されている。電極は、その電極に相対するインナーリードと、異方性導電膜中に含まれている導電性粒子109により電氣的に導通している。しかし、隣接するインナーリードとは、導電性粒子の最大径より離れているため電氣的に非導通である。異方性導電膜は微小な導電性粒子を接着剤フィルムに分散した接続材料であり、導電性粒子で電極間を電氣的に接続すると同時に、接着剤で機械的に固定をする。異方性導電膜は、膜厚25ミクロンメートル、接着剤は熱硬化系のエポキシ樹脂で、膜中に含まれる導電性粒子はニッケルで直径が10ミクロンメートルのものを用いた。

【0008】本実施例の半導体装置は以下の工程により製造した。

【0009】まず、半導体チップ表面に異方性導電膜を、全ての電極が被われるように貼る。

【0010】次に、リードフレームをインナーリードが電極の上方に位置するように位置合わせし、異方性導電膜の上面に貼り合わせ、加熱、加圧して固定する。加熱条件としては、温度150～200℃、時間10～30秒が、加圧条件としては、20～40Kg/cm²が好ましい。本実施例では、170℃、20秒、30Kg/cm²で行った。

【0011】半導体チップ、インナーリード、異方性導電膜を樹脂で封止し、アウターリードを整形する。樹脂封止技術、リード加工技術は、応用技術出版株式会社1985年発行の「最近の半導体アセンブリ技術とその高信頼化・全自動化」の第13章、第15章に詳述されているので参照されたい。

【0012】図3、図4はそれぞれ第2の実施例の断面図、要部の平面図である。第1の実施例と異なる点は、異方性導電膜中の導電性粒子109が、電極部104およびその周辺にのみ含まれ、導電性を要しない部分には含まれていないことである。この構造の利点は、半導体チップ表面の絶縁膜にピンホールがあってもインナーリード107と半導体チップ102の配線との短絡を防止できるため、製造歩留、信頼性を高められることである。また、電極部には異方性導電膜を、半導体チップと

インナーリードとを機械的にのみ接着し導電性を要しない部分には単なる絶縁性接着膜を用いれば、膜そのものは構造が単純になり低コストで製造できる。

【0013】異方性導電膜中の導電性粒子としてニッケルを用いたが、半田、カーボンあるいは金属膜を被覆したプラスチック粒子でもよい。異方性導電膜の接着剤としては熱硬化系のエポキシ樹脂を用いたが、熱可塑性の材料を用いることもできる。

【0014】リードフレームは42アロイ材をエッチング加工したものを用いた。材料としては銅アロイ等を用いる事もできるし、加工方法もプレスを採用することもできる。

【0015】樹脂封止はエポキシ樹脂を用い、トランスファモールドにより封止した。

【0016】アウターリードの形状はL字形のいわゆるガルウイングの例を図示したが、J字形、その他の形状とすることもできる。

【0017】

【発明の効果】本発明によれば、半導体チップとインナーリードとの機械的接着と、半導体チップ表面上の電極

とインナーリードとの電気的結合とを一工程でできるため、LOCパッケージを低コストで製造する事が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図。

【図2】本発明の第1の実施例の要部の平面図。

【図3】本発明の第2の実施例の断面図。

【図4】本発明の第2の実施例の要部の平面図。

【図5】従来のLOCパッケージの断面図。

【符号の説明】

101 金属リード

102 半導体チップ

103 絶縁膜

104 電極

105 金属細線

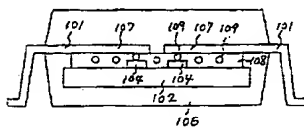
106 樹脂

107 インナーリード

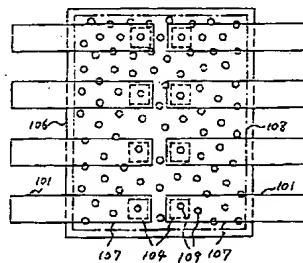
108 異方性導電膜

109 導電性粒子

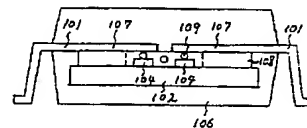
【図1】



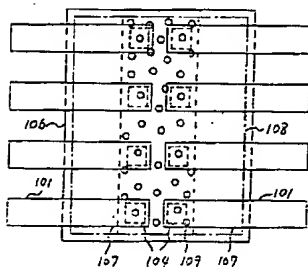
【図2】



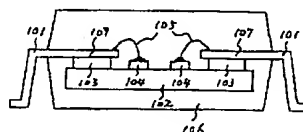
【図3】



【図4】



【図5】



CLIPPEDIMAGE= JP407169795A
PAT-NO: JP407169795A
DOCUMENT-IDENTIFIER: JP 07169795 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 4, 1995

INVENTOR-INFORMATION:

NAME

ODA, ZENZO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP05316962

APPL-DATE: December 16, 1993

INT-CL_(IPC): H01L021/60; H01L021/60

ABSTRACT:

PURPOSE: To manufacture, at low cost, a lead-on-chip(LOC) package in which a metal lead has been formed on the circuit face of a semiconductor chip.

CONSTITUTION: Inner leads 107 as inside parts of metal leads are formed at the upper part of a plurality of electrodes 104 on the surface of a semiconductor chip 102, and they face the electrodes in a one-to-one manner. A semiconductor chip is bonded to the inner leads by an anisotropic conductive film 108. The electrodes and the inner leads which face the electrodes keep an electrical continuity by conductive particles 109 which are contained in the anisotropic conductive film. The anisotropic conductive film is a connecting material in which fine conductive particles have been dispersed in an adhesive film, the conductive particles electrically connect the electrodes and fix the electrodes

mechanically by an adhesive. Thereby, the mechanical bonding operation of the semiconductor chip to the inner leads and the electrical bonding operation of the electrodes on the surface of the semiconductor chip to the inner leads can be performed in one process.

COPYRIGHT: (C)1995,JPO